

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-209272

(43)Date of publication of application : 07.08.1998

(51)Int.Cl.

H01L 21/768

(21)Application number : 09-005793

(71)Applicant : SONY CORP

(22)Date of filing : 16.01.1997

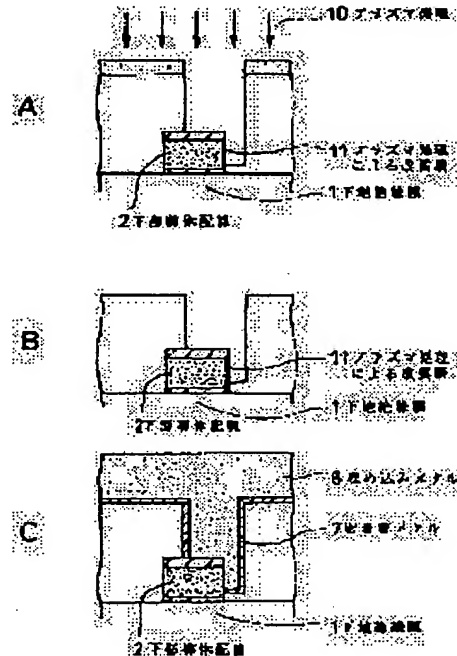
(72)Inventor : KANEMURA RYUICHI

## (54) SEMICONDUCTOR DEVICE AND ITS MANUFACTURE

## (57)Abstract:

**PROBLEM TO BE SOLVED:** To provide a semiconductor device capable of restricting a shape degradation of a conductive wiring sidewall part in a multi-wiring which is a structure that a room for a misalignment between a lower conductive wiring and a connection hole is provided; and its manufacturing method.

**SOLUTION:** First, a lower conductive wire 2 in which a room for a misalignment for a connection hole is not provided is formed on an underlayer insulation film 1. Next, an interlayer flattening insulation film is deposited on the underlayer insulation film 1 and the lower conductive wire 2. Next, photoresist patternings for processing the connection hole are formed. Next, the connection hole with the lower conductive wire 2 is processed by anisotropic dry-etching. Next, a resist hardening layer is removed by an ashing process. Next, a modified layer 11 is formed in a sidewall part of the lower conductive wire 2 exposed via the connection hole by a plasma process 10. Next, resist is removed by a chemical liquid cleaning process. Next, after the modified layer 11 is removed by reverse sputter cleaning, a closely adhered layer metal 7 is formed as a film on the entire surface. Next, a buried metal 8 is formed as a film on the entire surface.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's

decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-209272

(43) 公開日 平成10年(1998) 8月7日

(51) Int.Cl.<sup>6</sup>  
H 0 1 L 21/768

識別記号

F I  
H 0 1 L 21/90

D

審査請求 未請求 請求項の数24 O L (全 11 頁)

(21) 出願番号 特願平9-5793

(22) 出願日 平成9年(1997) 1月16日

(71) 出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72) 発明者 金村 龍一

東京都品川区北品川6丁目7番35号 ソニー株式会社内

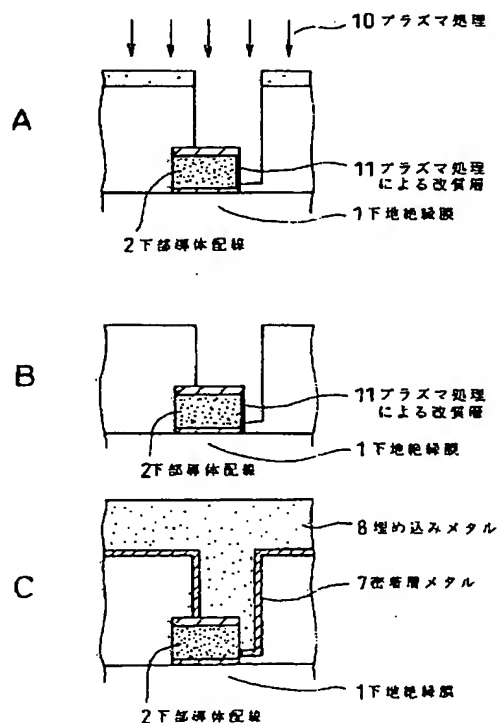
(74) 代理人 弁理士 松隈 秀盛

(54) 【発明の名称】 半導体装置及びその製造方法

(57) 【要約】

【課題】 下部導体配線と接続孔とが合わせずれの余裕を設けない構造になる多層配線において、導体配線側壁部の形状悪化を抑制することができる半導体装置及びその製造方法を提供する。

【解決手段】 本発明においては、まず、接続孔に対する合わせずれの余裕を設けない下部導体配線を、下地絶縁膜上に形成する。つぎに、下地絶縁膜および下部導体配線の上に、層間平坦化絶縁膜を堆積する。つぎに、接続孔加工のためのフォトリソストパターニングを形成する。つぎに、異方性ドライエッチングにより下部導体配線との接続孔の加工を行なう。つぎに、レジスト硬化層をアッシング処理により除去する。つぎに、接続孔を介して露出した下部導体配線側壁部に、プラズマ処理10により、改質層11を形成する。つぎに、薬液洗浄処理によりレジスト除去を行なう。つぎに、改質層11を逆スパッタクリーニングによって除去した後、密着層メタルを7全面成膜する。つぎに、埋め込みメタル8を全面成膜する。



## 【特許請求の範囲】

【請求項1】 接続孔に対する、合わせずれの余裕を設けない下部導体配線を、下地絶縁膜上に形成する工程と、

上記下地絶縁膜および上記下部導体配線の上に、層間平坦化絶縁膜を堆積する工程と、

接続孔加工のためのフォトリソパターニングを形成する工程と、

異方性ドライエッチングにより下部導体配線との接続孔の加工を行なう工程と、

レジスト硬化層をアッシング処理により除去する工程と、

上記接続孔を介して露出した下部導体配線側壁部に改質層を形成する工程と、

薬液洗浄処理によりレジスト除去を行なう工程と、

改質層を逆スパッタークリーニングによって除去した後、

密着層メタルを全面成膜する工程と、

埋め込みメタルを全面成膜する工程とを有することを特徴とする半導体装置の製造方法。

【請求項2】 接続孔を介して露出した下部導体配線側壁部に改質層を形成する工程は、プラズマ処理により、下部導体配線側壁部に改質層を形成することを特徴とする請求項1記載の半導体装置の製造方法。

【請求項3】 接続孔を介して露出した下部導体配線側壁部に改質層を形成する工程は、プラズマ処理により、下部導体配線側壁部に、膜厚が5 nm以上20 nm以下の範囲にある改質層を形成することを特徴とする請求項1記載の半導体装置の製造方法。

【請求項4】 接続孔を介して露出した下部導体配線側壁部に改質層を形成する工程は、窒素、酸素、水素、または酸素と水素の混合ガスを用いたプラズマ処理により、下部導体配線側壁部に改質層を形成することを特徴とする請求項1記載の半導体装置の製造方法。

【請求項5】 接続孔を介して露出した下部導体配線側壁部に改質層を形成する工程は、窒素、酸素、水素、または酸素と水素の混合ガスを用いたプラズマ処理により、下部導体配線側壁部に、膜厚が5 nm以上20 nm以下の範囲にある改質層を形成することを特徴とする請求項1記載の半導体装置の製造方法。

【請求項6】 接続孔を介して露出した下部導体配線側壁部に改質層を形成する工程は、窒素プラズマ処理により、下部導体配線側壁部に窒化層を形成することを特徴とする請求項1記載の半導体装置の製造方法。

【請求項7】 接続孔を介して露出した下部導体配線側壁部に改質層を形成する工程は、窒素プラズマ処理により、下部導体配線側壁部に、膜厚が5 nm以上20 nm以下の範囲にある窒化層を形成することを特徴とする請求項1記載の半導体装置の製造方法。

【請求項8】 下部導体配線は、アルミニウム系合金、銅、銅合金等のメタル、もしくはこれらと、チタン、チ

タン系合金、タングステン、タングステン系合金等の高融点金属との積層構造からなり、

接続孔を介して露出した下部導体配線側壁部に改質層を形成する工程は、窒素プラズマ処理により、下部導体配線側壁部に、膜厚が5 nm以上20 nm以下の範囲にある窒化層を形成することを特徴とする請求項1記載の半導体装置の製造方法。

【請求項9】 接続孔を介して露出した下部導体配線側壁部に改質層を形成する工程は、温水酸化処理により、下部導体配線側壁部に酸化層を形成することを特徴とする請求項1記載の半導体装置の製造方法。

【請求項10】 接続孔を介して露出した下部導体配線側壁部に改質層を形成する工程は、温水酸化処理により、下部導体配線側壁部に、膜厚が5 nm以上20 nm以下の範囲にある酸化層を形成することを特徴とする請求項1記載の半導体装置の製造方法。

【請求項11】 下部導体配線は、アルミニウム系合金、銅、銅合金等のメタル、もしくはこれらと、チタン、チタン系合金、タングステン、タングステン系合金等の高融点金属との積層構造からなり、

接続孔を介して露出した下部導体配線側壁部に改質層を形成する工程は、温水酸化処理により、下部導体配線側壁部に、膜厚が5 nm以上20 nm以下の範囲にある酸化層を形成することを特徴とする請求項1記載の半導体装置の製造方法。

【請求項12】 接続孔を介して露出した下部導体配線側壁部に改質層を形成する工程は、イオン照射処理により、下部導体配線側壁部に改質層を形成することを特徴とする請求項1記載の半導体装置の製造方法。

【請求項13】 接続孔を介して露出した下部導体配線側壁部に改質層を形成する工程は、イオン照射処理により、下部導体配線側壁部に、膜厚が5 nm以上20 nm以下の範囲にある改質層を形成することを特徴とする請求項1記載の半導体装置の製造方法。

【請求項14】 接続孔を介して露出した下部導体配線側壁部に改質層を形成する工程は、酸素イオン、水素イオン、または窒素イオンの照射処理により、下部導体配線側壁部に改質層を形成することを特徴とする請求項1記載の半導体装置の製造方法。

【請求項15】 接続孔を介して露出した下部導体配線側壁部に改質層を形成する工程は、酸素イオン、水素イオン、または窒素イオンの照射処理により、下部導体配線側壁部に、膜厚が5 nm以上20 nm以下の範囲にある改質層を形成することを特徴とする請求項1記載の半導体装置の製造方法。

【請求項16】 接続孔を介して露出した下部導体配線側壁部に改質層を形成する工程は、酸素イオン照射処理により、下部導体配線側壁部に酸化層を形成することを特徴とする請求項1記載の半導体装置の製造方法。

【請求項17】 接続孔を介して露出した下部導体配線

10

20

30

40

50

側壁部に改質層を形成する工程は、酸素イオン照射処理により、下部導体配線側壁部に、膜厚が5 nm以上20 nm以下の範囲にある酸化層を形成することを特徴とする請求項1記載の半導体装置の製造方法。

【請求項18】 下部導体配線は、アルミニウム系合金、銅、銅合金等の金属、もしくはこれらと、チタン、チタン系合金、タングステン、タングステン系合金等の高融点金属との積層構造からなり、接続孔を介して露出した下部導体配線側壁部に改質層を形成する工程は、酸素イオン照射処理により、下部導体配線側壁部に、膜厚が5 nm以上20 nm以下の範囲にある酸化層を形成することを特徴とする請求項1記載の半導体装置の製造方法。

【請求項19】 接続孔に対する、合わせずれの余裕を設けない下部導体配線を、下地絶縁膜上に形成する工程と、

上記下地絶縁膜および上記下部導体配線の上に、層間平坦化絶縁膜を堆積する工程と、  
接続孔加工のためのフォトリソパターニングを形成する工程と、

異方性ドライエッチングにより下部導体配線との接続孔の加工を行なう工程と、

接続孔底部の下部導体配線をエッチングする工程と、  
レジスト硬化層をアッシング処理により除去する工程と、

薬液洗浄処理によりレジスト除去を行なう工程と、  
密着層金属を全面成膜した後、埋め込み金属を全面成膜する工程とを有することを特徴とする半導体装置の製造方法。

【請求項20】 接続孔底部の下部導体配線をエッチングする工程は、下部導体配線を、200 nm以上で下部導体線厚さ未満の範囲内で、エッチングすることを特徴とする請求項19記載の半導体装置の製造方法。

【請求項21】 下部導体配線は、アルミニウム系合金、銅、銅合金等の金属、もしくはこれらと、チタン、チタン系合金、タングステン、タングステン系合金等の高融点金属との積層構造からなり、

接続孔底部の下部導体配線をエッチングする工程は、下部導体配線を、200 nm以上で下部導体線厚さ未満の範囲内で、エッチングすることを特徴とする請求項19記載の半導体装置の製造方法。

【請求項22】 接続孔に対する、合わせずれの余裕を設けない下部導体配線を、下地絶縁膜上に形成し、上記下地絶縁膜および上記下部導体配線の上に、層間平坦化絶縁膜を形成し、

上記層間平坦化絶縁膜に、上記下部導体配線の一部を削除する接続孔を形成し、

下部導体配線：マグネトロンスパッター法により成膜

Ti20nm(0.52Pa, 2kW, Ar35sccm, 300℃)

TiN20nm(0.78Pa, 6kW, N2 42sccm, Ar21sccm, 300℃)

上記接続孔及び上記層間平坦化絶縁膜上に埋め込み金属を成膜することを特徴とする半導体装置。

【請求項23】 接続孔は、下部導体配線を、下部導体配線の上部から200 nm以上で下部導体線厚さ未満の範囲内で、削除するものであることを特徴とする請求項22記載の半導体装置。

【請求項24】 下部導体配線は、アルミニウム系合金、銅、銅合金等の金属、もしくはこれらと、チタン、チタン系合金、タングステン、タングステン系合金等の高融点金属との積層構造からなり、

接続孔は、下部導体配線を、下部導体配線の上部から200 nm以上で下部導体線厚さ未満の範囲内で、削除するものであることを特徴とする請求項22記載の半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、例えば超LSIなどに適用して好適な半導体装置及びその製造方法に関し、特に、下部導体配線と接続孔とが合わせずれの余裕を設けない構造になる多層配線を有する超LSIなどに適用して好適な半導体装置及びその製造方法に関する。

【0002】

【従来の技術及び発明が解決しようとする課題】従来、IC要素のランダムな幾何学的変形によって、製作されたICの機能が損なわれる確率を最小にするために、デザインルールの概念が用いられてきた。

【0003】近年、半導体装置の高集積化、微細化に伴い、基板と導体配線、もしくは導体配線間の接続孔と導体配線との合わせずれの余裕を設けない構造が注目されている。通常の導体配線は、接続孔の上部では、最小デザインルールで形成されることはなく、接続孔への被り余裕や接続孔への導体配線の合わせずれを考慮した緩いデザインルールで形成されている。従って、微細化が進むと集積度はこの被り部分により律則されてしまうため、合わせずれの余裕を設けない構造の接続孔と導体配線を実現することが、高集積化への一つの技術的ブレークスルーとなる。

【0004】本技術の問題点を従来技術として図9、10を参照して説明する。下地絶縁膜1上に下部導体配線2を形成し、層間平坦化絶縁膜3を堆積する(図9A)。この後、接続孔加工のためのフォトリソパターニング4を形成し(図9B)、異方性ドライエッチングにより下部導体配線との接続孔5の加工を行なう(図9C)。下部導体配線の形成条件、接続孔加工条件の例を以下に示す。

【0005】

Al-0.5%Cu500nm(0.52Pa, 15kW, Ar65sccm, 300℃)

Ti10nm(0.52Pa, 2kW, Ar35sccm, 300℃)

TiN100nm(0.78Pa, 6kW, N<sub>2</sub> 42sccm, Ar21sccm, 300℃)

下部導体配線加工：異方性ドライエッチング

BCl<sub>3</sub>/Cl<sub>2</sub>=100/150sccm, 1Pa, マイクロ波400mA, RF 110W

ジャスト+40%オーバーエッチング

接続孔加工：異方性ドライエッチング

CO/C<sub>4</sub>F<sub>8</sub>/Ar=100/7/200sccm, 2Pa, RF 1450W

ジャスト+30%オーバーエッチング

【0006】この後、エッチングによるレジスト硬化層をO<sub>2</sub> アッシング処理により除去し(図10A)、薬液洗浄処理によりレジスト除去を行なう(図10B)。レジスト除去条件を次に示す。

レジスト除去：アミン系有機溶剤15分間+流水処理10分間

【0007】本工程を経て形成された接続孔は、下部導体配線との合わせずれ余裕を設けない構造の場合、導体

密着層メタル形成：マグネトロンスパッター法により成膜

RF Etch 20nm(0.52Pa, 500W, Ar5sccm, 無加熱)

TiN 30nm(0.78Pa, 6.5kW, N<sub>2</sub> 135sccm, Ar15sccm, 150℃)

ブランケットW膜 CVD:600nm(10.7kPa, WF<sub>6</sub>:H<sub>2</sub>:Ar=40:400:2250sccm, 450℃)

【0009】このようにして形成された埋め込みメタルの接続孔は、前述したAl合金部の掘れが発生するため、密着層カバレッジの劣化による密着性不足、タングステン膜のボイド形成を誘発する。このため、下部導体配線と埋め込みメタルの接触不良によるコンタクト抵抗上昇や歩留低下、さらには配線信頼性の劣化が懸念される。Al合金部の掘れは、接続孔加工時に付着したフッ素がAlとのフッ化物を形成し、Al合金側壁部ではアッシング処理でも除去しきれないため、レジスト除去時の有機洗浄中に溶出したものと考えられる。

【0010】本発明はこのような課題に鑑みてなされたものであり、下部導体配線と接続孔とが合わせずれの余裕を設けない構造になる多層配線において、導体配線側壁部の形状悪化を抑制することができ、コンタクト特性、配線信頼性を損なうことなく、高集積で微細な半導体装置の接続孔形成ができる半導体装置及びその製造方法を提供することを目的とする。

【0011】

【課題を解決するための手段】本発明の半導体装置の製造方法は、接続孔に対する、合わせずれの余裕を設けない下部導体配線を、下地絶縁膜上に形成する工程と、下地絶縁膜および下部導体配線の上に、層間平坦化絶縁膜を堆積する工程と、接続孔加工のためのフォトレジストパターンニングを形成する工程と、異方性ドライエッチングにより下部導体配線との接続孔の加工を行なう工程と、レジスト硬化層をアッシング処理により除去する工程と、接続孔を介して露出した下部導体配線側壁部に改質層を形成する工程と、薬液洗浄処理によりレジスト除去を行なう工程と、改質層を逆スパッタークリーニング

10 配線側壁が露出した領域のAl合金部に掘れ6が発生する。この後、マグネトロンスパッター装置にて、逆スパッタークリーニングして密着層メタル7を全面成膜し、埋め込みメタルとしてタングステン膜8を熱CVD法により全面成膜する(図10C)。それぞれの成膜条件の例を以下に示す。

【0008】

によって除去した後、密着層メタルを全面成膜する工程と、埋め込みメタルを全面成膜する工程とを有するものである。

【0012】また、本発明の半導体装置の製造方法は、接続孔に対する、合わせずれの余裕を設けない下部導体配線を、下地絶縁膜上に形成する工程と、下地絶縁膜および下部導体配線の上に、層間平坦化絶縁膜を堆積する工程と、接続孔加工のためのフォトレジストパターンニングを形成する工程と、異方性ドライエッチングにより下部導体配線との接続孔の加工を行なう工程と、接続孔底部の下部導体配線をエッチングする工程と、レジスト硬化層をアッシング処理により除去する工程と、薬液洗浄処理によりレジスト除去を行なう工程と、密着層メタルを全面成膜した後、埋め込みメタルを全面成膜する工程とを有するものである。

【0013】また、本発明の半導体装置は、接続孔に対する、合わせずれの余裕を設けない下部導体配線を、下地絶縁膜上に形成し、下地絶縁膜および下部導体配線の上に、層間平坦化絶縁膜を形成し、層間平坦化絶縁膜に、下部導体配線の一部を削除する接続孔を形成し、接続孔及び層間平坦化絶縁膜上に埋め込みメタルを成膜するものである。

【0014】本発明の半導体装置及びその製造方法によれば、接続孔を介して露出した下部導体配線側壁部に改質層を形成することにより、または、接続孔底部の下部導体配線をエッチングすることにより、下部導体配線と接続孔とが合わせずれの余裕を設けない構造になる多層配線において、導体配線側壁部の形状悪化を抑制することができる。

## 【0015】

【発明の実施の形態】以下、本発明半導体装置及びその製造方法の実施例について図1～図8を参照しながら説明する。

## 【0016】実施例1

本発明の実施例1を図1、2を参照して説明する。下地

下部導体配線：マグネトロンスパッター法により成膜

Ti20nm(0.52Pa, 2kW, Ar35sccm, 300℃)

TiN20nm(0.78Pa, 6kW, N2 42sccm, Ar21sccm, 300℃)

Al-0.5%Cu500nm(0.52Pa, 15kW, Ar65sccm, 300℃)

Ti10nm(0.52Pa, 2kW, Ar35sccm, 300℃)

TiN100nm(0.78Pa, 6kW, N2 42sccm, Ar21sccm, 300℃)

下部導体配線加工：異方性ドライエッチング

BCl3/Cl2=100/150sccm, 1Pa, マイクロ波400mA, RF 110W

ジャスト+40%オーバーエッチング

接続孔加工：異方性ドライエッチング

CO/C4F8/Ar=100/7/200sccm, 2Pa, RF 1450W

ジャスト+30%オーバーエッチング

【0017】次にエッチングによるレジスト硬化層をO<sub>2</sub>アッシング処理により除去した後(図1D)、窒素プラズマ処理10を行ない、導体配線側壁部にAlの窒化層11を形成する(図2A)。窒化層の膜厚は5nm以上20nm以下であることが好ましい。

【0018】窒化層の膜厚が5nmより薄いと、導体配線側壁が露出した領域のAl合金部に掘れが発生するのを防止することができないからであり、また、窒化層の膜厚が20nmより厚くなると後述する密着層メタル形成の工程における逆スパッタークリーニングによって窒化層を除去することができないからである。この後、薬液洗浄処理によりレジスト除去を行なう(図2B)。窒素プラズマ処理、レジスト除去条件を次にしめす。

【0019】窒素プラズマ処理：並行平板型RIE装

密着層メタル形成：マグネトロンスパッター法により成膜

RF Etch 20nm (0.52Pa, 500W, Ar5sccm, 無加熱)

TiN 30nm (0.78Pa, 6.5kW, N2 135sccm, Ar15sccm, 150℃)

ブランケットW膜 CVD:600nm(10.7kPa, WF6:H2:Ar=40:400:2250sccm, 450℃)

【0022】このようにして形成された埋め込みメタルの接続孔は、下部導体配線側壁部との接触状態が良好のため、密着層メタルとタングステン膜とも密着性がよく、タングステン膜の埋め込み状態も良好であった。このため、コンタクト抵抗や歩留は、合わせずれの余裕を設けない構造でない通常接続孔とほぼ同等であり、エレクトロマイグレーション寿命にも有為差はみられなかった。プラズマ処理のガスは窒素に限らず、酸素、水素、これらの混合ガスでも良い。

下部導体配線：マグネトロンスパッター法により成膜

Ti20nm(0.52Pa, 2kW, Ar35sccm, 300℃)

TiN20nm(0.78Pa, 6kW, N2 42sccm, Ar21sccm, 300℃)

Al-0.5%Cu500nm(0.52Pa, 15kW, Ar65sccm, 300℃)

Ti10nm(0.52Pa, 2kW, Ar35sccm, 300℃)

絶縁膜1上に下部導体配線2を形成し、層間平坦化絶縁膜3を堆積する(図1A)。この後、接続孔加工のためのフォトリソパターニング4を形成し(図1B)、異方性ドライエッチングにより下部導体配線との接続孔5の加工を行なう(図1C)。下部導体配線の形成条件、接続孔加工条件の例を以下に示す。

置, N2 150sccm, 200W, 0.1Torr, 20sec, 室温

レジスト除去：アミン系有機溶剤15分間+流水処理10分間

【0020】本工程を経て形成された接続孔は、下部導体配線との合わせずれの余裕を設けない構造の場合でも、導体配線側壁部が窒化層で防御されているため形状悪化は起こらない。この後、密着層メタル7を例えばマグネトロンスパッター法により全面成膜する。この密着層メタル形成の工程における逆スパッタークリーニングによって窒化層を除去することができる。つぎに、埋め込みメタルとしてタングステン膜8を熱CVD法により全面成膜する(図2C)。それぞれの成膜条件の例を以下に示す。

## 【0021】

## 【0023】実施例2

本発明の実施例2を図3、4を参照して説明する。下地絶縁膜1上に上部導体配線2を形成し、層間平坦化絶縁膜3を堆積する(図3A)。この後、接続孔加工のためのフォトリソパターニング4を形成し(図3B)、異方性ドライエッチングにより下部導体配線との接続孔5の加工を行なう(図3C)。下部導体配線の形成条件、接続孔加工条件の例を以下に示す。

TiN100nm(0.78Pa, 6kW, N2 42sccm, Ar21sccm, 300℃)

下部導体配線加工：異方性ドライエッチング

BC13/C12=100/150sccm, 1Pa, マイクロ波400mA, RF 110W

ジャスト+40%オーバーエッチング

接続孔加工：異方性ドライエッチング

CO/C4F8/Ar=100/7/200sccm, 2Pa, RF 1450W

ジャスト+30%オーバーエッチング

【0024】次にエッチングによるレジスト硬化層を  
アッシング処理により除去した後(図3D)、温水酸  
化処理12を行ない、導体配線側壁部にA1の酸化層1  
3を形成する(図4A)。この後、薬液洗浄処理により  
レジスト除去を行なう(図4B)。温水酸化、レジスト  
除去条件を次に示す。酸化層の膜厚は5nm以上20nm  
以下であることが好ましい。

【0025】酸化層の膜厚が5nmより薄いと、導体配  
線側壁が露出した領域のA1合金部に掘れが発生するの  
を防止することができないからであり、また、酸化層の  
膜厚が20nmより厚くなると後述する密着層メタル形  
成の工程における逆スパッタークリーニングによって酸  
化層を除去することができないからである。

【0026】温水酸化：純水、100℃、15分間

密着層メタル形成：マグネトロンスパッター法により成膜

RF Etch 20nm (0.52Pa, 500W, Ar5sccm, 無加熱)

TiN 30nm (0.78Pa, 6.5kW, N2 135sccm, Ar15sccm, 150℃)

ブランケットW膜CVD:600nm(10.7kPa, WF6:H2:Ar =40:400:2250sccm, 450℃)

【0029】このようにして形成された埋め込みメタル  
の接続孔は、下部導体配線側壁部との接触状態が良好の  
ため、密着層メタルとタングステン膜とも密着性がよ  
く、タングステン膜の埋め込み状態も良好であった。こ  
のため、コンタクト抵抗や歩留は、合わせずれの余裕を  
設けない構造でない通常接続孔とほぼ同等であり、エレ  
クトロマイグレーション寿命にも有為差はみられなかつ  
た。温水処理温度はA1の掘れを抑制できる条件であれ  
ば100℃以下でもよい。

下部導体配線：マグネトロンスパッター法により成膜

Ti20nm(0.52Pa, 2kW, Ar35sccm, 300℃)

TiN20nm(0.78Pa, 6kW, N2 42sccm, Ar21sccm, 300℃)

Al-0.5%Cu500nm(0.52Pa, 15kW, Ar65sccm, 300℃)

Ti10nm(0.52Pa, 2kW, Ar35sccm, 300℃)

TiN100nm(0.78Pa, 6kW, N2 42sccm, Ar21sccm, 300℃)

下部導体配線加工：異方性ドライエッチング

BC13/C12=100/150sccm, 1Pa, マイクロ波400mA, RF 110W

ジャスト+40%オーバーエッチング

接続孔加工：異方性ドライエッチング

CO/C4F8/Ar=100/7/200sccm, 2Pa, RF 1450W

ジャスト+30%オーバーエッチング

【0032】次にエッチングによるレジスト硬化層を  
アッシング処理により除去した後(図5D)、酸素イ  
オン照射処理14を行ない、導体配線側壁部にA1の酸  
化層15を形成する(図6A)。この後、薬液洗浄処理

レジスト除去：アミン系有機溶剤15分間+流水処理1  
0分間

【0027】本工程を経て形成された接続孔は、下部導  
体配線との合わせずれの余裕を設けない構造の場合で  
も、導体配線側壁部が酸化層で防御されているため形状  
悪化は起こらない。この後、密着層メタル7を例えばマ  
グネトロンスパッター法により全面成膜する。この密着  
層メタル形成の工程における逆スパッタークリーニング  
によって酸化層を除去することができる。つぎに、埋め  
込みメタルとしてタングステン膜8を熱CVD法により  
全面成膜する(図4C)。それぞれの成膜条件の例を以  
下に示す。

20 【0028】

【0030】実施例3

本発明の実施例3を図5、6を参照して説明する。下地  
絶縁膜1上に下部導体配線2を形成し、層間平坦化絶縁  
膜3を堆積する(図5A)。この後、接続孔加工のため  
のフォトリソパターニング4を形成し(図5B)、  
異方性ドライエッチングにより下部導体配線との接続孔  
5の加工を行なう(図5C)。下部導体配線の形成条  
件、接続孔加工条件の例を以下に示す。

【0031】

によりレジスト除去を行なう(図6B)。イオン照射、  
レジスト除去条件を次に示す。酸化層の膜厚は5nm以  
上20nm以下であることが好ましい。

【0033】酸化層の膜厚が5nmより薄いと、導体配



線側壁が露出した領域のA1合金部に掘れが発生するのを防止することができないからであり、また、酸化層の膜厚が20nmより厚くなると後述する密着層メタル形成の工程における逆スパッタークリーニングによって酸化層を除去することができないからである。

【0034】イオン照射：低電流イオン照射器，O<sub>2</sub> +，150keV，1E18ions/cm<sup>2</sup>，無加熱，7° 傾斜  
レジスト除去：アミン系有機溶剤15分間＋流水処理10分間

【0035】本工程を経て形成された接続孔は、下部導

密着層メタル形成：マグネトロンスパッター法により成膜

RF Etch 20nm (0.52Pa, 500W, Ar5sccm, 無加熱)

TiN 30nm (0.78Pa, 6.5kW, N<sub>2</sub> 135sccm, Ar15sccm, 150℃)

ブランケットW膜CVD:600nm(10.7kPa, WF<sub>6</sub>:H<sub>2</sub>:Ar =40:400:2250sccm, 450℃)

【0037】このようにして形成された埋め込みメタルの接続孔は、下部導体配線側壁部との接触状態が良好のため、密着層メタルとタングステン膜とも密着性がよく、タングステン膜の埋め込み状態も良好であった。このため、コンタクト抵抗や歩留は、合わせずれの余裕を設けない構造でない通常接続孔とはほぼ同等であり、エレクトロマイグレーション寿命にも有為差はみられなかった。イオン照射量はA1の掘れを抑制できる条件であれば1E18ions/cm<sup>2</sup>以外でもよく、イオン種も酸素イオンに限らず、水素イオン、窒素イオンなどを用いることができる。また、照射角度は側壁への改質効率より、7°以下

下部導体配線：マグネトロンスパッター法により成膜

Ti20nm(0.52Pa, 2kW, Ar35sccm, 300℃)

TiN20nm(0.78Pa, 6kW, N<sub>2</sub> 42sccm, Ar21sccm, 300℃)

Al-0.5%Cu500nm(0.52Pa, 15kW, Ar65sccm, 300℃)

Ti10nm(0.52Pa, 2kW, Ar35sccm, 300℃)

TiN100nm(0.78Pa, 6kW, N<sub>2</sub> 42sccm, Ar21sccm, 300℃)

下部導体配線加工：異方性ドライエッチング

BC13/Cl<sub>2</sub>=100/150sccm, 1Pa, マイクロ波400mA, RF 110W

ジャスト＋40%オーバーエッチング

接続孔加工：異方性ドライエッチング

CO/C4F8/Ar=100/7/200sccm, 2Pa, RF 1450W

ジャスト＋30%オーバーエッチング

【0040】この後、異方性ドライエッチングにより接続孔底部の下部導体配線をエッチングする(図7D)。次にエッチングによるレジスト硬化層をO<sub>2</sub>アッシング処理により除去した後(図8A)、薬液洗浄処理によりレジスト除去を行なう(図8B)。接続孔底部導体配線加工条件、レジスト除去条件を以下に示す。

【0041】接続孔底部導体配線加工：BC13/Cl<sub>2</sub>=100/150sccm, 1Pa, マイクロ波400mA, RF100W, Al300nm Etch  
レジスト除去：アミン系有機溶剤15分間＋水流処理10分間

密着層メタル形成：マグネトロンスパッター法により成膜

RF Etch 20nm (0.52Pa, 500W, Ar5sccm, 無加熱)

Ti5nm (0.52Pa, 2kW, Ar35sccm, 150℃)

体配線との合わせずれの余裕を設けない構造の場合でも、導体配線側壁部が酸化層で防御されているため形状悪化は起こらない。この後、密着層メタル7を例えばマグネトロンスパッター法により全面成膜する。この密着層メタル形成の工程における逆スパッタークリーニングによって酸化層を除去することができる。つぎに、埋め込みメタルとしてタングステン膜8を熱CVD法により全面成膜する(図6C)。それぞれの成膜条件の例を以下に示す。

【0036】

上45°以下が好ましい。

【0038】実施例4

本発明の実施例4を図7、8を参照して説明する。下地絶縁膜1上に下部導体配線2を形成し、層間平坦化絶縁膜3を堆積する(図7A)。この後、接続孔加工のためのフォトリソパターニング4を形成し(図7B)、異方性ドライエッチングにより下部導体配線との接続孔5の加工を行なう(図7C)。下部導体配線の形成条件、接続孔加工条件の例を以下に示す。

【0039】

【0042】本工程を経て形成された接続孔は、下部導体配線との合わせずれの余裕を設けない構造の場合でも、接続孔加工時に残留したフッ素のある領域が除去されているため形状悪化は起こらない。この後、密着層メタル7を例えばマグネトロンスパッター法により全面成膜し、埋め込みメタルとしてタングステン膜8を熱CVD法により全面成膜する(図8C)。それぞれの成膜条件の例を以下に示す。

【0043】

TiN 30nm (0.78Pa, 6.5kW, N<sub>2</sub> 135sccm, Ar 15sccm, 150℃)

ブランケットW膜CVD:600nm(10.7kPa, WF<sub>6</sub>:H<sub>2</sub>:Ar =40:400:2250sccm, 450℃)

【0044】このようにして形成された埋め込み金属の接続孔は、下部導体配線側壁部との接触状態が良好のため、密着層金属とタングステン膜とも密着性がよく、タングステン膜の埋め込み状態も良好であった。このため、コンタクト抵抗や歩留は、合わせずれの余裕を設けない構造でない通常接続孔とほぼ同等であり、エレクトロマイグレーション寿命にも有為差はみられなかった。

【0045】接続孔底部の導体配線加工時のエッチング量は、Al合金部で200nm以上、500nm以下が好ましい。エッチング量がAl合金部で200nmより小さいと接続孔加工時に付着したフッ素がAlと反応して形成したフッ化物を除去するのに不十分だからであり、また、エッチング量を500nm以下としたのは下部導体部のAl合金部の厚さが500nmだからである。

【0046】以上のことから、本例によれば、下部導体配線と接続孔とが合わせずれの余裕を設けない構造になる多層配線において、導体配線側壁部の形状悪化を抑制することができ、コンタクト特性、配線信頼性を損なうことなく、高集積で微細な半導体装置の接続孔形成が可能となる。

【0047】なお、下部導体配線は上述の実施例に用いたものに限るわけではない。すなわち、アルミニウム系合金、銅、銅合金等の金属、もしくはこれらと、チタン、チタン系合金、タングステン、タングステン系合金等の高融点金属との積層構造からなるものを用いることができる。

【0048】また、本発明は上述の実施例に限らず本発明の要旨を逸脱することなくその他種々の構成を採り得ることはもちろんである。

【0049】

【発明の効果】以上説明したように、下部導体配線と接続孔とが合わせずれの余裕を設けない構造になる多層配

線において、導体配線側壁部の形状悪化を抑制することができ、コンタクト特性、配線信頼性を損なうことなく、高集積で微細な半導体装置の接続孔形成が可能となる。

【図面の簡単な説明】

【図1】実施例1における製造工程を示す断面図である(その1)。

10 【図2】実施例1における製造工程を示す断面図である(その2)。

【図3】実施例2における製造工程を示す断面図である(その1)。

【図4】実施例2における製造工程を示す断面図である(その2)。

【図5】実施例3における製造工程を示す断面図である(その1)。

【図6】実施例3における製造工程を示す断面図である(その2)。

20 【図7】実施例4における製造工程を示す断面図である(その1)。

【図8】実施例4における製造工程を示す断面図である(その2)。

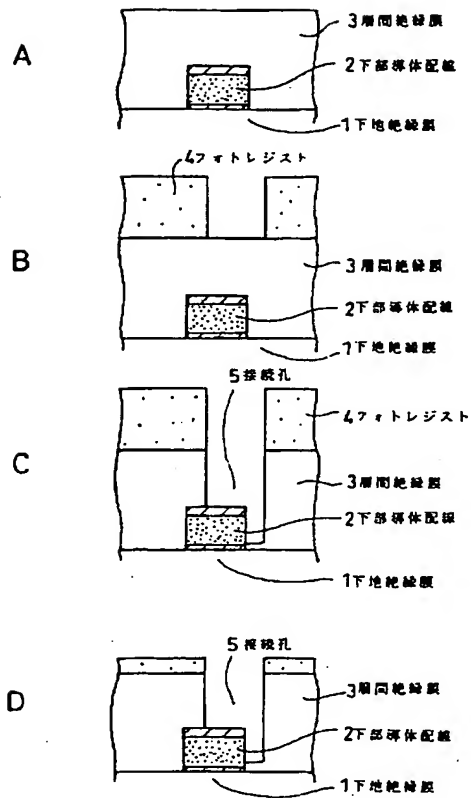
【図9】従来例における製造工程を示す断面図である(その1)。

【図10】従来例における製造工程を示す断面図である(その2)。

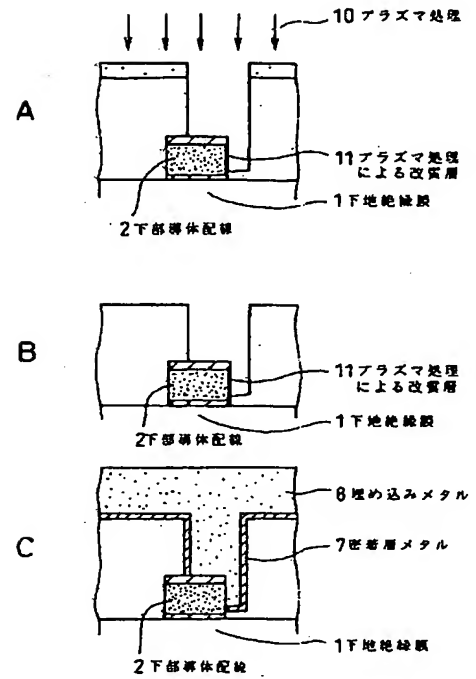
【符号の説明】

1 下地絶縁膜、2 下部導体配線、3 層間絶縁膜、  
30 4 フォトリソ、5 接続孔、6 導体配線の掘り、  
7 密着層金属、8 埋め込み金属、9 埋め込みボ  
イド、10 プラズマ処理、11 プラズマ処理による  
改質層、12 温水酸化処理、13 温水酸化処理による  
改質層、14 イオン照射処理、15 イオン照射処理  
による改質層

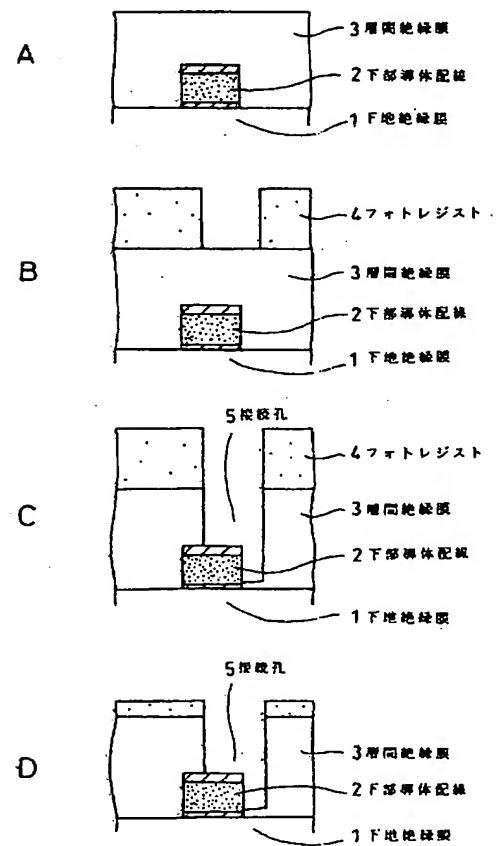
【図1】



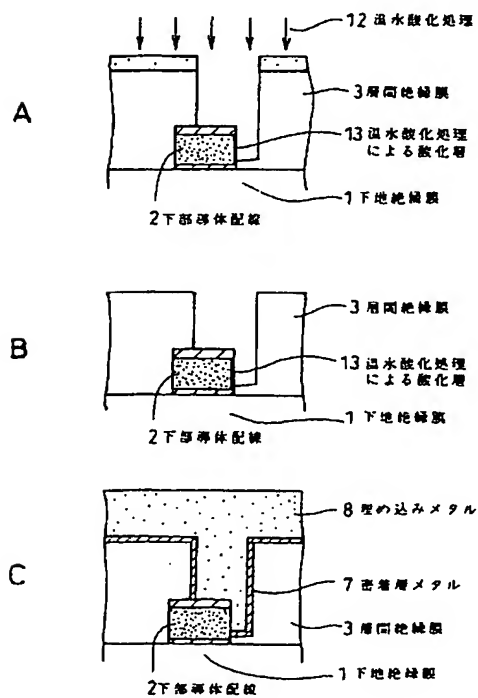
【図2】



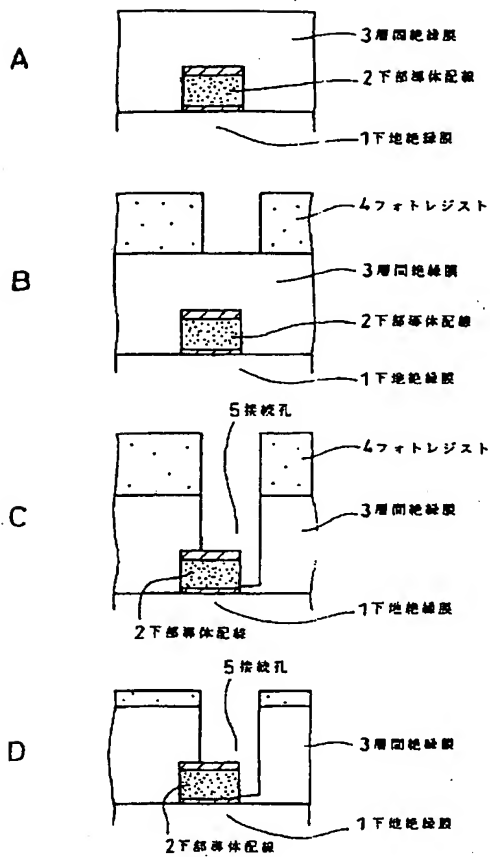
【図3】



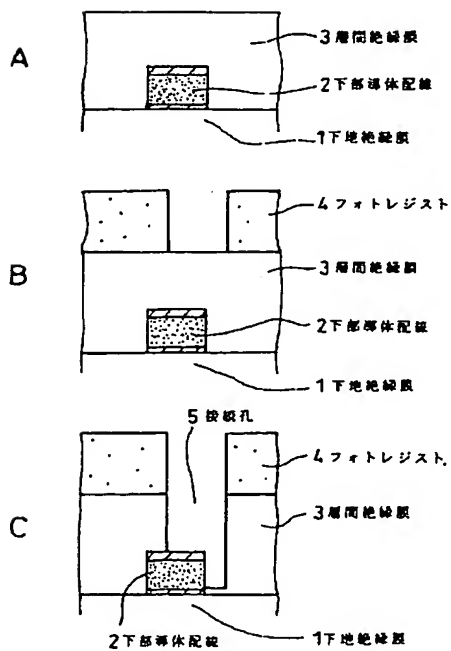
【図4】



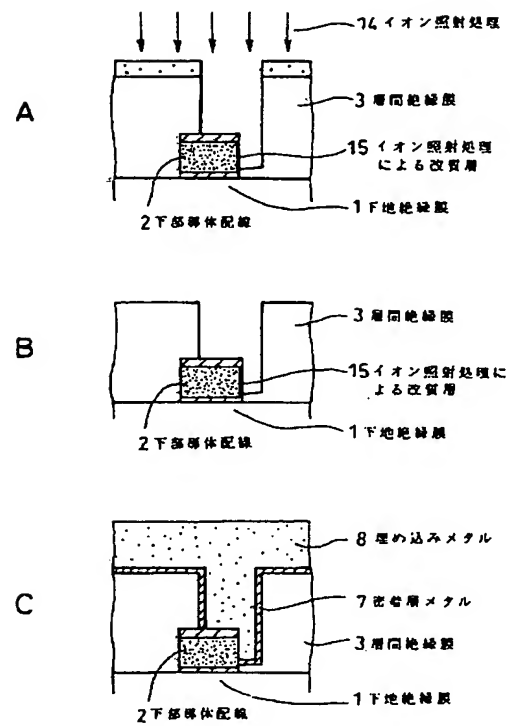
【図5】



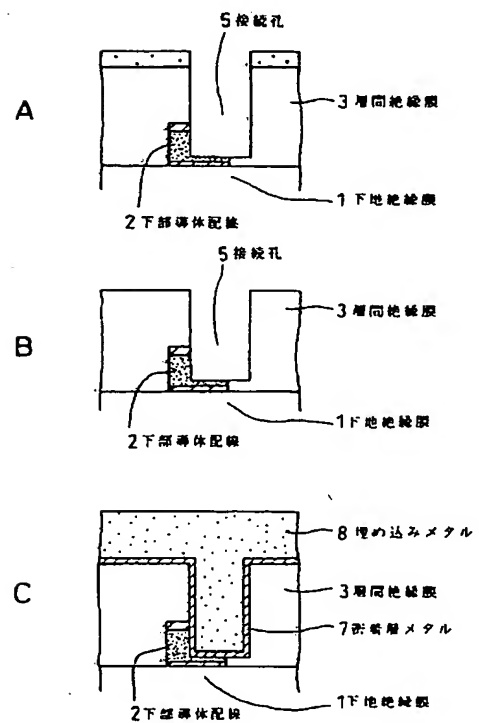
【図9】



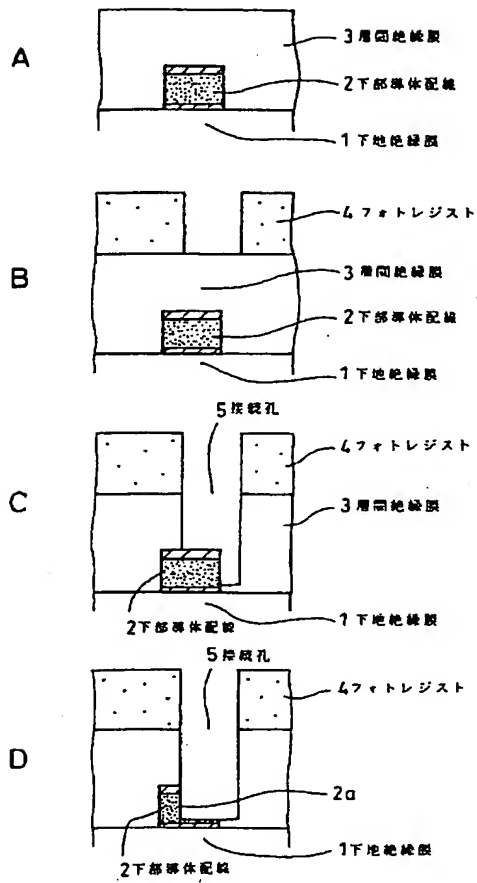
【図6】



【図8】



【図7】



【図10】

